

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月18日  
Date of Application:

出願番号 特願2003-039279  
Application Number:  
[ST. 10/C]: [JP 2003-039279]

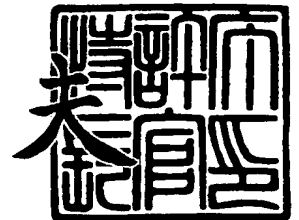
出願人 TDK株式会社  
Applicant(s):



2003年12月 4日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3100322

【書類名】 特許願

【整理番号】 P03001

【提出日】 平成15年 2月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01G 4/12  
H01G 4/30

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 富樫 正明

【発明者】

【住所又は居所】 秋田県由利郡仁賀保町平沢字前田 1 5 1 ティーディーケイ エムシーシー株式会社内

【氏名】 小野寺 伸也

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100101269

【弁理士】

【氏名又は名称】 飯塚 道夫

【電話番号】 03-5951-0615

【手数料の表示】

【予納台帳番号】 065766

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

ノ

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 積層コンデンサ

【特許請求の範囲】

【請求項 1】 誘電体層を積層して直方体形状に形成された誘電体素体と、  
誘電体層で隔てられつつそれぞれ誘電体素体内に配置される二種類の内部導体  
と、

を有した積層コンデンサであって、

誘電体層の積層方向に沿った誘電体素体の辺の長さが、この積層方向に沿った  
辺と交差する方向に沿った他の何れの二辺の長さよりも長くされ、

これら内部導体にそれぞれ切込部が形成されるのに伴って、電流が流れ得る流  
路部がこの切込部を挟んだ形で内部導体に形成され、

誘電体層を介して隣り合っている内部導体の流路部同士間で相互に逆向きに電  
流が流れる形に、これら流路部がそれぞれ配置されることを特徴とする積層コン  
デンサ。

【請求項 2】 誘電体素体の同一の側面に向かって引き出される引出部を二  
種類の内部導体がそれぞれ有し、

これらの引出部を介して二種類の内部導体の何れかにそれぞれ接続される端子  
電極が、誘電体素体の同一の側面内に一対設けられることを特徴とする請求項 1  
記載の積層コンデンサ。

【請求項 3】 誘電体素体の相互に対向する二つの側面に向かって引き出さ  
れる引出部を二種類の内部導体がそれぞれ有し、

これらの引出部を介して二種類の内部導体の何れかにそれぞれ接続される端子  
電極が、誘電体素体の相互に対向する二つの側面に一対設けられることを特徴と  
する請求項 1 記載の積層コンデンサ。

【請求項 4】 一つの内部導体に切込部が複数設けられたことを特徴とする  
請求項 1 から請求項 3 の何れかに記載の積層コンデンサ。

【請求項 5】 二種類の内部導体が、誘電体素体内に複数ずつ配置されたこ  
とを特徴とする請求項 1 から請求項 4 の何れかに記載の積層コンデンサ。

【発明の詳細な説明】

**【 0 0 0 1 】****【発明の属する技術分野】**

本発明は、実効インダクタンスを大幅に低減した積層コンデンサに係り、特に C P U 用の電源の電圧変動を小さくし得る積層セラミックコンデンサに好適なものである。

**【 0 0 0 2 】****【従来の技術】**

近年、情報処理装置に用いられる C P U（主演算処理装置）は、処理スピードの向上及び高集積化によって、動作周波数が高くなる共に消費電流が著しく増加している。そしてこれに伴い、消費電力の低減化によって動作電圧が減少する傾向にあった。従って、C P U に電力を供給する為の電源では、より高速で大きな電流変動が生じるようになり、この電流変動に伴う電圧変動をこの電源の許容値内に抑えることが非常に困難になった。

**【 0 0 0 3 】**

この為、図 1 2 に示すように、デカップリングコンデンサと呼ばれる積層コンデンサ 1 0 0 が電源 1 0 2 に接続される形で、電源の安定化対策に頻繁に使用されるようになった。そして、電流の高速で過渡的な変動時に素早い充放電によって、この積層コンデンサ 1 0 0 から C P U 1 0 4 に電流を供給して、電源 1 0 2 の電圧変動を抑えるようにしている。

**【 0 0 0 4 】****【特許文献 1】**

特開 2 0 0 2 - 1 6 4 2 5 6 号公報

**【特許文献 2】**

特開 2 0 0 2 - 1 5 1 3 4 9 号公報

**【特許文献 3】**

特開 2 0 0 0 - 3 2 3 3 5 4 号公報

**【特許文献 4】**

特開平 1 1 - 1 4 4 9 9 6 号公報

**【特許文献 5】**

特開平 08-097070 号公報

【特許文献 6】

特開平 06-140283 号公報

【0005】

【発明が解決しようとする課題】

しかし、今日の CPU の動作周波数の一層の高周波数化に伴って、電流変動はより高速且つ大きなものとなっていた。この為、図 12 に示す積層コンデンサ 100 自身が有している等価直列インダクタンス (ESL) が相対的に大きくなるのに伴い、実効インダクタンスが大きくなる結果として、この等価直列インダクタンスが電源の電圧変動に大きく影響するようになった。

【0006】

つまり、図 12 に示す CPU 104 の電源回路に用いられる従来の積層コンデンサ 100 では、この図 12 における等価回路に示された寄生成分である ESL が高いことから、図 13 に示す電流 I の変動に伴って、この ESL が積層コンデンサ 100 の充放電を阻害するようになる。この為、上記と同様に電源の電圧 V の変動が図 13 のように大きくなり易く、今後の CPU の高速化には適応できなくなりつつあった。

【0007】

この理由は、電流の過渡時である充放電時における電圧変動が下記の式 1 で近似され、ESL の高低が電源の電圧変動の大きさと関係するからである。

$$dV = ESL \cdot di / dt \cdots \text{式 1}$$

ここで、dV は過渡時の電圧変動 (V) であり、i は電流変動量 (A) であり、t は変動時間 (秒) である。

【0008】

ここで、この従来のコンデンサの外観を図 14 に示すと共に内部構造を図 15 に示し、これらの図を基にして以下に従来の積層コンデンサ 100 を説明する。つまり、静電容量が得られるように、図 14 に示す従来の積層コンデンサ 100 は、図 15 に示す二種類の内部導体 114、116 をそれぞれ設置した一対のセラミック層 112A が交互に積層されて、誘電体素体 112 が形成される構造と

なっている。

#### 【0009】

また、これら二種類の内部導体 114、116 は、誘電体素体 112 の相互に対向する二つの側面 112B、112C にそれぞれ引き出されていて、内部導体 114 に接続される端子電極 118 及び、内部導体 116 に接続される端子電極 120 が、図 14 に示す積層コンデンサ 100 の相互に対向する側面 112B、112C にそれぞれ設置されている。

#### 【0010】

図 16 に示すように、この積層コンデンサ 100 は、多層基板 122 の面に対し垂直方向（Z 軸方向）に沿ってセラミック層 112A が積層される形で実装されるので、内部導体 114、116 の面はこの多層基板 122 の面と水平になる。この為、多層基板 122 の導体部分であるランドパターン 124 から誘電体素体 112 内の内部導体 114、116 までの距離が長くなり、電流ループ E が占める面積が大きくなる結果として、従来の構造では、ループインダクタンスが増加し、これに伴って実効インダクタンスも増加してしまう欠点があった。

#### 【0011】

以上より、電源の電圧変動を増大させる要因として、コンデンサ自体の ESL だけでなくループインダクタンスがあり、これら ESL とループインダクタンスとの和が実効インダクタンスとして電源の電圧変動に大きく影響する為、この実効インダクタンスを低減する必要もあることになる。

#### 【0012】

一方、ループインダクタンスの増加を回避する実装構造として、図 17 に示すものが考えられた。この図に示す実装構造は、積層方向を図 16 に示す構造と 90 度異ならせて、多層基板 122 の面に沿った Y 軸方向にセラミック層 112A を積層した構造となっている。

#### 【0013】

つまり、この積層コンデンサ 100 が実装される多層基板 122 の面に対して、内部導体 114、116 の面が垂直となる実装構造となり、これに伴って電流ループ E が短くなる結果として、ループインダクタンスが低減されるようにな

る。

#### 【0014】

他方、ループインダクタンスをさらに低減するべく、図18及び図19に示すように、内部導体114、116を誘電体素体112の同一の側面に引き出して、端子電極118、120間の距離を縮めた構造を採用することで、図20に示すように多層基板122の面と対向する積層コンデンサ100の面に、これら端子電極118、120を配置する形で、実装することも考えられた。

#### 【0015】

しかし、何れの構造を用いても、ループインダクタンスを十分に低減できず実効インダクタンスが大きいという欠点を取り除くことができなかった。

本発明は上記事実を考慮し、実効インダクタンスを大幅に低減してCPU用の電源の電圧変動を小さくできる積層コンデンサを提供することを目的とする。

#### 【0016】

##### 【課題を解決するための手段】

請求項1による積層コンデンサは、誘電体層を積層して直方体形状に形成された誘電体素体と、

誘電体層で隔てられつつそれぞれ誘電体素体内に配置される二種類の内部導体と、

を有した積層コンデンサであって、

誘電体層の積層方向に沿った誘電体素体の辺の長さが、この積層方向に沿った辺と交差する方向に沿った他の何れの二辺の長さよりも長くされ、

これら内部導体にそれぞれ切込部が形成されるのに伴って、電流が流れ得る流路部がこの切込部を挟んだ形で内部導体に形成され、

誘電体層を介して隣り合っている内部導体の流路部同士間で相互に逆向きに電流が流れる形に、これら流路部がそれぞれ配置されることを特徴とする。

#### 【0017】

請求項1に係る積層コンデンサによれば、誘電体層を積層して直方体形状に形成された誘電体素体内に、誘電体層を介して隔てられつつ二種類の内部導体がそれぞれ配置される。この為、これら二種類の内部導体が、相互に対向しつつ並列



に配置されるコンデンサの電極とされている。さらに、誘電体層の積層方向に沿った誘電体素体の辺の長さが、この積層方向に沿った辺と交差する方向に沿った誘電体素体の他の何れの二辺の長さよりも長くされている。

#### 【0018】

従って、誘電体層の積層方向に沿った誘電体素体の辺の長さが、他の二辺の長さよりも長くされているので、本請求項の積層コンデンサを基板に実装する際に、基板の面に沿って誘電体層を積層した形で積層コンデンサを実装し易くなる。つまり、積層コンデンサが実装される基板の面に対して、内部導体の面が垂直な構造にし易くなる。そしてこれに伴って、電流ループが短くなる結果として、ループインダクタンスが低減されるようになる。

#### 【0019】

また、本請求項では、これら二種類の内部導体がそれぞれ切込部を有し、この切込部を挟んだ内部導体の部分が流路部を構成しているだけでなく、誘電体層を介して隣り合っている別の内部導体の流路部との間で相互に逆向きに電流が流れる形に、流路部がそれぞれ配置されている。

#### 【0020】

従って、この積層コンデンサへの通電の際に、誘電体層を介して隣り合う上下の流路部同士間で、電流が相互に逆方向に流れるようになる。そしてこれに伴って、内部導体に流れる高周波電流により発生する磁束が互いに打ち消し合うように相殺され、積層コンデンサ自体が持つ寄生インダクタンスを少なくすることで、等価直列インダクタンス（ESL）が低減される。さらに、同一の内部導体内においても、切込部を挟んで位置する流路部間で、電流の流れる方向が相互に逆なるので、等価直列インダクタンスが一層低減されるようになる。

#### 【0021】

以上より、本請求項に係る積層コンデンサは、ループインダクタンスが低減されると共に、一層の低ESL化が図られて、実効インダクタンスが大幅に低減されるようになる。この結果、本請求項によれば電源の電圧の振動を確実に抑制できて、CPUの電源用として最適な積層コンデンサが得られる。

#### 【0022】

請求項 2 に係る積層コンデンサによれば、請求項 1 の積層コンデンサと同様の構成の他に、誘電体素体の同一の側面に向かって引き出される引出部を二種類の内部導体がそれぞれ有し、これらの引出部を介して二種類の内部導体の何れかにそれぞれ接続される端子電極が、誘電体素体の同一の側面内に一対設けられるという構成を有している。

従って、この積層コンデンサが実装される基板と対向する側面に、二種類の内部導体がそれぞれ引き出されると共に端子電極がそれぞれ配置されることから、

これら端子電極間の距離が縮められる結果として、ループインダクタンスが一層低減されるようになる。

#### 【 0 0 2 3 】

請求項 3 に係る積層コンデンサによれば、請求項 1 の積層コンデンサと同様の構成の他に、誘電体素体の相互に対向する二つの側面に向かって引き出される引出部を二種類の内部導体がそれぞれ有し、これらの引出部を介して二種類の内部導体の何れかにそれぞれ接続される端子電極が、誘電体素体の相互に対向する二つの側面に一対設けられるという構成を有している。

従って、基板の面に対して内部導体の面が垂直になるように、積層コンデンサが実装されるのに伴って電流ループが短くなる。そしてこの結果として、ループインダクタンスが一層低減されるようになる。

#### 【 0 0 2 4 】

請求項 4 に係る積層コンデンサによれば、請求項 1 から請求項 3 の積層コンデンサと同様の構成の他に、一つの内部導体に切込部が複数設けられるという構成を有している。従って、一つの内部導体に切込部が複数設けられることで、電流が流れ得る流路部が長くなって、請求項 1 の等価直列インダクタンスを低減する効果が、一層増大するようになる。

#### 【 0 0 2 5 】

請求項 5 に係る積層コンデンサによれば、請求項 1 から請求項 4 の積層コンデンサと同様の構成の他に、二種類の内部導体が、誘電体素体内に複数ずつ配置されたという構成を有している。

従って、これら二種類の内部導体をそれぞれ誘電体素体内に複数ずつ配置する

ことで、本請求項に係る積層コンデンサの静電容量が高まるだけでなく、磁界を相殺する作用がさらに大きくなり、インダクタンスがより大幅に減少してESLが一層低減されるようになる。

#### 【0026】

##### 【発明の実施の形態】

以下、本発明に係る積層コンデンサの第1の実施の形態を図面に基づき説明する。

本実施の形態に係る積層コンデンサである積層セラミックコンデンサ（以下単に、積層コンデンサと言う）10を図1から図3に示す。これらの図に示すように、誘電体シートであるセラミックグリーンシートを複数枚積層した積層体を焼成することで得られた直方体形状の焼結体である誘電体素体12を主要部として、この積層コンデンサ10が構成されている。

#### 【0027】

この誘電体素体12内の所定の位置には、面状の内部導体14が配置されており、誘電体素体12内において誘電体層とされるセラミック層12Aを隔てた内部導体14の奥側には、同じく面状の内部導体16が配置されている。この為、これら内部導体14及び内部導体16が誘電体素体12内においてセラミック層12Aで隔てられつつ相互に対向して配置されることになる。

#### 【0028】

つまり、本実施の形態では、焼成後の誘電体シートであるセラミック層12Aがそれぞれの間に挟まれつつ、内部導体14及び内部導体16が順に誘電体素体12内に配置されており、さらに内部導体16の奥側には、図1に示すように、上記と同じ順序でこれら2層の電極が繰返されてこれらの組が、例えば計100組程度配置されている。

#### 【0029】

そして、これら内部導体14及び内部導体16の中心は、誘電体素体12の中心とはほぼ同位置に配置されており、また、内部導体14及び内部導体16の縦横寸法は、対応する誘電体素体12の辺の長さより小さくされている。尚、これらそれぞれ略長方形に形成された内部導体14、16の材質としては、卑金属材料

であるニッケル、ニッケル合金、銅或いは、銅合金が考えられるだけでなく、これらの金属を主成分とする材料が考えられる。

#### 【0030】

一方、セラミック層 12A の積層方向に沿った誘電体素体 12 の辺の長さ W は、この積層方向（Y 軸方向）に沿った辺と交差する方向に沿った他の何れの二辺の長さ L、T よりも、長くされている。つまり、積層方向に沿った辺の長さ W は、長さ L よりも長くされるだけでなく、長さ T よりも長くされている。

#### 【0031】

さらに、図 1 及び図 2 に示すように、内部導体 14 の左側の端部から下側方向に向かって電極が 1箇所引き出されることで、内部導体 14 に 1つの引出部 14A が形成されている。また、内部導体 16 の右側寄りの部分から下側方向に向かって電極が 1箇所引き出されることで、内部導体 16 に 1つの引出部 16A が形成されている。以上より、引出部 14A 及び引出部 16A が、図 1 の下側の側面 12B に向かって相互に重ならない位置関係で、内部導体 14、16 からそれぞれ引き出されている。

#### 【0032】

また、図 1 に示すように、内部導体 14 の引出部 14A に接続される端子電極 24 及び、内部導体 16 の引出部 16A に接続される端子電極 26 が、誘電体素体 12 の下側の側面 12B にそれぞれ配置されている。この為、隣り合う端子電極同士が相互に異なる内部導体 14、16 に引出部 14A、16A を介してそれぞれ接続される形で、これら端子電極 24、26 が誘電体素体 12 の下側の側面 12B に配置されており、これら隣り合う端子電極同士が相互に逆の極性で使用可能となる。

#### 【0033】

以上より、本実施の形態では、積層コンデンサ 10 の下側の側面 12B に端子電極 24、26 がそれぞれ配置されることで、直方体である六面体形状とされる誘電体素体 12 の 4つの側面 12B、12C の内の 1つの側面 12B に端子電極 24、26 がそれぞれ配置されることになる。そして、各内部導体 14、16 がコンデンサの電極となるように、端子電極 24 が例えば CPU の電極に接続され

ると共に、端子電極 26 が例えば接地側に接続されるようになっていて、これら隣り合う端子電極同士が相互に逆の極性で使用される形となっている。

具体的には、図 3 に示す多層基板 122 に積層コンデンサ 10 が半田付けされて、多層基板 122 のランドパターン 124 とこれら端子電極 24、26 が接続されている。

#### 【0034】

他方、本実施の形態では、引出部 14A の右側から上側方向に延びる切り込みが内部導体 14 に形成されると共に、この切り込みと繋がって左右方向に延びる切り込みが内部導体 14 の中央部に形成されている。また、内部導体 16 には、この内部導体 16 の右端側中程から左右方向に延びる切り込みが形成されている。

#### 【0035】

以上の各内部導体 14、16 に形成された切り込みが切込部 18 とされ、この切込部 18 を挟んだ内部導体 14 の部分を一对の流路部 20A、20B が構成しており、同じく切込部 18 を挟んだ内部導体 16 の部分を一对の流路部 22A、22B が構成している。そして、一对の流路部 20A、20B の一端同士が繋がっているので、切込部 18 を挟んで位置するこれら一对の流路部 20A、20B 間で電流が相互に逆方向に流れるようになり、また、同じく一对の流路部 22A、22B 間で電流が相互に逆方向に流れるようになる。

#### 【0036】

これに伴って、例えば内部導体 14 が＋極になると同時に内部導体 16 が－極になるとときには、図 2 の矢印で示す電流の向きのように、内部導体 14 の流路部 20A では右側に向かって電流が流れ、流路部 20B では左側に向かって電流が流れるようになり、内部導体 16 の流路部 22A では左側に向かって電流が流れ、流路部 22B では右側に向かって電流が流れるようになっている。

#### 【0037】

従って、セラミック層 12A を介して隣り合う内部導体 14、16 の流路部 20A と流路部 22A との間及び、流路部 20B と流路部 22B との間においても、相互に逆向きに電流が流れる形に、一对の流路部 20A、20B はそれぞれ内

部導体 14 に配置されていることになり、また一对の流路部 22A、22B はそれぞれ内部導体 16 に配置されていることになる。

#### 【0038】

次に、本実施の形態に係る積層コンデンサ 10 の作用を説明する。

本実施の形態に係る積層コンデンサ 10 によれば、それぞれセラミック層 12A となる複数の誘電体シートが積層されて直方体形状に形成される誘電体素体 12 内に、これらセラミック層 12A 間に挟まれる形で二種類の内部導体 14、16 がそれぞれ配置される構成を有している。この為、これら二種類の内部導体 14、16 が、相互に対向しつつ並列に配置されるコンデンサの電極とされている。

#### 【0039】

また、誘電体素体 12 の同一側面 12B に向かって引き出される引出部 14A、16A を二種類の内部導体 14、16 がそれぞれ有し、これらの引出部 14A、16A を介して二種類の内部導体 14、16 の何れかにそれぞれ接続される端子電極 24、26 が、誘電体素体 12 の同一の側面 12B 内に一对設けられている。さらに、セラミック層 12A の積層方向（図 1 の Y 軸方向）に沿った誘電体素体 12 の辺の長さ W が、この積層方向に沿った辺と交差する方向に沿った誘電体素体 12 の他の何れの二辺の長さ L、T よりも長くされている。

#### 【0040】

従って、セラミック層 12A の積層方向に沿った誘電体素体 12 の辺の長さ W が、他の二辺の長さ L、T よりも長くされているので、本実施の形態の積層コンデンサ 10 を図 3 に示す多層基板 122 に実装する際に、多層基板 122 の面に沿ってセラミック層 12A を積層した形で積層コンデンサ 10 を実装し易くなる。つまり、本実施の形態では、積層コンデンサ 10 が実装される多層基板 122 の面に対して、内部導体 14、16 の面が垂直な構造となる。そしてこれに伴って、電流ループが短くなる結果として、ループインダクタンスが低減されるようになる。

#### 【0041】

また、本実施の形態では、これら二種類の内部導体 14、16 がそれぞれ切込

部 18 を有しており、この切込部 18 を挟んだ内部導体 14 の部分が流路部 20 A、20 B を構成し、切込部 18 を挟んだ内部導体 16 の部分が流路部 22 A、22 B を構成しているだけでなく、セラミック層 12 A を介して隣り合っている別の内部導体 14、16 の流路部との間で相互に逆向きに電流が流れる形に、これら流路部 20 A、20 B、22 A、22 B がそれぞれ配置されている。

#### 【0042】

従って、この積層コンデンサ 10 への通電の際に、セラミック層 12 A を介して隣り合う内部導体 14、16 の流路部同士間で、電流が相互に逆方向に流れるようになる。そしてこれに伴って、内部導体 14、16 に流れる高周波電流により発生する磁束が互いに打ち消し合うように相殺され、積層コンデンサ 10 自体が持つ寄生インダクタンスを少なくすることで、等価直列インダクタンスが低減される。

#### 【0043】

さらに、同一の内部導体 14、16 内においても、切込部 18 を挟んで位置する流路部 20 A と流路部 20 B との間及び、流路部 22 A と流路部 22 B との間で、それぞれ電流の流れる方向が相互に逆なるので、等価直列インダクタンスが一層低減されるようになる。

#### 【0044】

以上より、本実施の形態に係る積層コンデンサ 10 は、ループインダクタンスが低減されると共に、一層の低 ESL 化が図られて、実効インダクタンスが大幅に低減されるようになる。この結果、本実施の形態によれば、電源の電圧の振動を確実に抑制できて、CPU の電源用として最適な積層コンデンサ 10 となる。

#### 【0045】

一方、この積層コンデンサ 10 が実装される多層基板 122 と対向する側面 12 B に、二種類の内部導体 14、16 がそれぞれ引き出されると共に端子電極 24、26 がそれぞれ配置されることから、これら端子電極 24、26 間の距離が縮められる結果として、ループインダクタンスが一層低減されるようになる。

#### 【0046】

他方、本実施の形態では、二種類の内部導体 14、16 が、誘電体素体 12 内に複数ずつ配置されているので、積層コンデンサ 10 の静電容量が高まるだけでなく、磁界を相殺する作用がさらに大きくなり、インダクタンスがより大幅に減少して ESL が一層低減されるようになる。

#### 【0047】

次に、本発明に係る積層コンデンサの第 2 の実施の形態を図 4 に基づき説明する。尚、第 1 の実施の形態で説明した部材には同一の符号を付して重複した説明を省略する。

本実施の形態も第 1 の実施の形態とほぼ同様の構造になっているが、本実施の形態では、図 4 における下側及び上側から二つの切り込みが内部導体 14 に相互に平行且つ斜め方向にそれぞれ形成されている。また、内部導体 16 には、この内部導体 14 とほぼ逆の位置関係で二つの切り込みが相互に平行且つ斜め方向にそれぞれ形成されている。

#### 【0048】

つまり、各内部導体 14、16 に形成された二つずつの切り込みがそれぞれ切込部 18 とされ、これら切込部 18 を挟んだ内部導体 14 の部分を三つの流路部 20A、20B、20C がそれぞれ構成しており、同じく切込部 18 を挟んだ内部導体 16 の部分を三つの流路部 22A、22B、22C がそれぞれ構成している。

#### 【0049】

そして、三つの流路部 20A、20B、20C の一端同士が繋がっているので、切込部 18 を挟んで位置する内部導体 14 のこれら三つの流路部 20A、20B、20C は、隣り合った流路部間で電流が相互に逆方向に流れるようになる。また、三つの流路部 22A、22B、22C の一端同士が繋がっているので、切込部 18 を挟んで位置する内部導体 16 のこれら三つの流路部 22A、22B、22C は、隣り合った流路部間で電流が相互に逆方向に流れるようになる。

#### 【0050】

これに伴って、例えば内部導体 14 が＋極になると同時に内部導体 16 が－極になるときは、図 4 の矢印で示す電流の向きのように、内部導体 14 の流路部



2 0 Aでは右上側に向かって電流が流れ、流路部 2 0 Bでは左下側に向かって電流が流れ、流路部 2 0 Cでは右上側に向かって電流が流れるようになる。また、内部導体 1 6 の流路部 2 2 Aでは左下側に向かって電流が流れ、流路部 2 2 Bでは右上側に向かって電流が流れ、流路部 2 2 Cでは左下側に向かって電流が流れるようになる。

#### 【 0 0 5 1 】

この為、セラミック層 1 2 Aを介して隣り合う内部導体 1 4、1 6 の流路部 2 0 Aと流路部 2 2 Aとの間、流路部 2 0 Bと流路部 2 2 Bとの間及び、流路部 2 0 Cと流路部 2 2 Cとの間においても、相互に逆向きに電流が流れる形に、内部導体 1 4 に三つの流路部 2 0 A、2 0 B、2 0 Cが配置されていることになり、また内部導体 1 6 に三つの流路部 2 2 A、2 2 B、2 2 Cが配置されていることになる。

#### 【 0 0 5 2 】

従って、本実施の形態では、第 1 の実施の形態と同様にループインダクタンスが低減されると共に、一層の低 E S L 化が図られて、実効インダクタンスが大幅に低減されるようになるだけでなく、各内部導体 1 4、1 6 に切込部 1 8 が複数である二つずつ設けられているので、電流が流れ得る流路部の全長が長くなって、等価直列インダクタンスを低減する効果が、一層増大するようになる。

#### 【 0 0 5 3 】

次に、本発明に係る積層コンデンサの第 3 の実施の形態を図 5 に基づき説明する。尚、第 1 の実施の形態で説明した部材には同一の符号を付して重複した説明を省略する。

本実施の形態も第 1 の実施の形態とほぼ同様の構造になっているが、本実施の形態では、図 5 における下側及び上側から二つの切り込みが内部導体 1 4 に相互に平行且つ上下方向にそれぞれ形成されている。また、内部導体 1 6 には、この内部導体 1 4 とほぼ逆の位置関係で二つの切り込みが相互に平行且つ上下方向にそれぞれ形成されている。

#### 【 0 0 5 4 】

つまり、切り込み方向が異なるものの、第 2 の実施の形態と同様に二つの切込

部 1 8 が内部導体 1 4 及び内部導体 1 6 にそれぞれ形成されている。従って、本実施の形態も第 2 の実施の形態と同様に作用し、第 1 の実施の形態で得られた効果の他に、電流が流れ得る流路部の全長が長くなって、等価直列インダクタンスが一層低減される効果が得られるようになる。

#### 【 0 0 5 5 】

次に、本発明に係る積層コンデンサの第 4 の実施の形態を図 6 及び図 7 に基づき説明する。尚、第 1 の実施の形態で説明した部材には同一の符号を付して重複した説明を省略する。

本実施の形態も第 1 の実施の形態とほぼ同様の構造になっているが、本実施の形態では、図 6 及び図 7 に示すように、内部導体 1 4 の左面上側寄り部分から誘電体素体 1 2 の左側の側面 1 2 C に向けて、内部導体 1 4 のほぼ半分の幅で引出部 1 4 B が引き出されており、内部導体 1 6 の右面下側寄り部分から誘電体素体 1 2 の右側の側面 1 2 C に向けて、内部導体 1 6 のほぼ半分の幅で引出部 1 6 B が引き出されている。

#### 【 0 0 5 6 】

つまり、誘電体素体 1 2 の相互に対向する二つの側面 1 2 C に向かって引き出される引出部 1 4 B、1 6 B を二種類の内部導体 1 4、1 6 が、それぞれ有していることになる。図 6 に示すように、これら相互に対向する二つの側面 1 2 C の内の左側の側面 1 2 C には、引出部 1 4 B を介して内部導体 1 4 に接続される端子電極 3 4 が配置されており、また、右側の側面 1 2 C には、引出部 1 6 B を介して内部導体 1 6 に接続される端子電極 3 6 が配置されている。

#### 【 0 0 5 7 】

さらに、引出部 1 4 B の下側から左右方向に延びる切り込みが、内部導体 1 4 に形成されており、また、引出部 1 6 B の上側から左右方向に延びる切り込みが、内部導体 1 6 に形成されていて、これら各内部導体 1 4、1 6 に形成された切り込みが切込部 1 8 とされている。

#### 【 0 0 5 8 】

この切込部 1 8 を挟んだ内部導体 1 4 の部分を一对の流路部 2 0 A、2 0 B が構成しており、同じく切込部 1 8 を挟んだ内部導体 1 6 の部分を一对の流路部 2

2 A、2 2 Bが構成している。これに伴って、例えば内部導体 1 4 が+極になると同時に内部導体 1 6 が-極になるときは、図 7 の矢印で示す電流の向きのように、内部導体 1 4 の流路部 2 0 Aでは右側に向かって電流が流れ、流路部 2 0 Bでは左側に向かって電流が流れるようになり、内部導体 1 6 の流路部 2 2 Aでは左側に向かって電流が流れ、流路部 2 2 Bでは右側に向かって電流が流れるようになる。

#### 【0059】

この為、第 1 の実施の形態と同様に、この積層コンデンサ 1 0 への通電の際に、セラミック層 1 2 Aを介して隣り合う内部導体 1 4、1 6 の流路部同士間で、電流が相互に逆方向に流れるようになって、等価直列インダクタンスが低減される。

#### 【0060】

以上より、本実施の形態も第 1 の実施の形態と同様に、等価直列インダクタンスが低減されるが、本実施の形態では、誘電体素体 1 2 の相互に対向する二つの側面 1 2 Cに向かって引出部 1 4 B、1 6 Bが引き出されると共に、誘電体素体 1 2 の相互に対向する二つの側面 1 2 Cに端子電極 3 4、3 6 が設けられるという相違を第 1 の実施の形態に対して有している。但し、多層基板 1 2 2 の面に対して内部導体 1 4、1 6 の面が垂直になるように、この積層コンデンサ 1 0 が実装されるのに伴い、電流ループが同様に短くなる結果として、第 1 の実施の形態と同様にループインダクタンスが低減されるようになる。

#### 【0061】

次に、本発明に係る積層コンデンサの第 5 の実施の形態を図 8 に基づき説明する。尚、第 1 の実施の形態で説明した部材には同一の符号を付して重複した説明を省略する。

本実施の形態も第 1 の実施の形態とほぼ同様の構造になっているが、本実施の形態では、図 8 に示すように、内部導体 1 4 から誘電体素体 1 2 の左側の側面 1 2 Cに向けて、内部導体 1 4 の全幅で引出部 1 4 Cが引き出されており、内部導体 1 6 から誘電体素体 1 2 の右側の側面 1 2 Cに向けて、内部導体 1 6 の全幅で引出部 1 6 Cが引き出されている。つまり、誘電体素体 1 2 の相互に対向する二

つの側面 12C に向かって引き出される引出部 14C、16C を二種類の内部導体 14、16 がそれぞれ有していることになる。

#### 【0062】

また、図示しないものの第 4 の実施の形態と同様に、左側の側面 12C には、引出部 14C を介して内部導体 14 に接続される端子電極 34 が配置されることになり、右側の側面 12C には、引出部 16C を介して内部導体 16 に接続される端子電極 36 が配置されることになる。

#### 【0063】

さらに、第 4 の実施の形態と同様の切込部 18 が内部導体 14、16 に設けられているが、内部導体 14 における切込部 18 の左側寄りの部分は下方向に屈曲して、内部導体 14 の下端まで下側に伸びている。また、内部導体 16 における切込部 18 の右側寄りの部分は上方向に屈曲して、内部導体 16 の上端まで上側に伸びている。

#### 【0064】

この為、本実施の形態も第 4 の実施の形態と同様に、切込部 18 を挟んだ内部導体 14 の部分を一对の流路部 20A、20B が構成しており、同じく切込部 18 を挟んだ内部導体 16 の部分を一对の流路部 22A、22B が構成していることとなる。以上より、引出部 14C、16C の幅が大きいと言う相違を有するものの、本実施の形態も第 1 の実施の形態及び第 4 の実施の形態と同様の作用効果を奏することとなる。

#### 【0065】

次に、本発明に係る積層コンデンサの第 6 の実施の形態を図 9 に基づき説明する。尚、第 1 の実施の形態で説明した部材には同一の符号を付して重複した説明を省略する。

本実施の形態も第 1 の実施の形態とほぼ同様の構造になっているが、本実施の形態では、図 9 に示すように、第 5 の実施の形態と同様の引出部 14C 及び引出部 16C が内部導体 14、16 に形成されており、図示しないものの、端子電極 34、36 も同様にこれら引出部 14C、16C に接続されている。

#### 【0066】

さらに、図 9 における下側及び上側から三つの切り込みが内部導体 1 4 に相互に平行且つ斜め方向にそれぞれ形成されている。また、内部導体 1 6 には、この内部導体 1 4 とほぼ逆の位置関係で三つの切り込みが相互に平行且つ斜め方向にそれぞれ形成されている。

#### 【0 0 6 7】

つまり、第 2 の実施の形態と同様に斜め方向の切り込みが設けられているものの、各内部導体 1 4、1 6 に形成された三つずつの切り込みが、それぞれ切込部 1 8 とされ、これら切込部 1 8 を挟んだ内部導体 1 4 の部分を四つの流路部 2 0 A、2 0 B、2 0 C、2 0 D がそれぞれ構成しており、同じく切込部 1 8 を挟んだ内部導体 1 6 の部分を四つの流路部 2 2 A、2 2 B、2 2 C、2 2 D がそれぞれ構成している。

以上より、切込部 1 8 の数が多いと言う相違を有するものの、本実施の形態も第 1 の実施の形態及び第 2 の実施の形態と同様の作用効果を奏することとなる。

#### 【0 0 6 8】

次に、本発明に係る積層コンデンサの第 7 の実施の形態を図 1 0 に基づき説明する。尚、第 1 の実施の形態で説明した部材には同一の符号を付して重複した説明を省略する。

本実施の形態も第 1 の実施の形態とほぼ同様の構造になっているが、本実施の形態では、図 1 0 に示すように、第 5 の実施の形態と同様の引出部 1 4 C 及び引出部 1 6 C が内部導体 1 4、1 6 に形成されており、図示しないものの、端子電極 3 4、3 6 も同様にこれら引出部 1 4 C、1 6 C に接続されている。

#### 【0 0 6 9】

さらに、本実施の形態の内部導体 1 4、1 6 にも、切込部 1 8 が設けられているが、本実施の形態の内部導体 1 4 には、左右方向に延びる切込部 1 8 が上下に二つ存在している。そして、上側の切込部 1 8 の左側寄りの部分は上方向に屈曲して、内部導体 1 4 の上端まで上側に伸びており、下側の切込部 1 8 の左側寄りの部分は下方向に屈曲して、内部導体 1 4 の下端まで下側に伸びている。

#### 【0 0 7 0】

また、本実施の形態の内部導体 1 6 には、左右方向に延びる切り込みが上下に

二つ有るが、これらの切り込みはその右端で繋がっていて、一つの略U字形の切込部18となっている。

#### 【0071】

つまり、本実施の形態も第2、第3の実施の形態と同様に、切込部18を挟んだ内部導体14の部分を三つの流路部20A、20B、20Cがそれぞれ構成しており、同じく切込部18を挟んだ内部導体16の部分を三つの流路部22A、22B、22Cがそれぞれ構成している。従って、本実施の形態では、第2、第3の実施の形態と同様に電流が流れ得る流路部の全長が長くなって、等価直列インダクタンスを低減する効果が、一層増大するようになる。

#### 【0072】

次に、ネットワークアナライザを用いて、以下の各試料のSパラメータのS21特性を測定し、各試料の減衰特性をそれぞれ求めた。まず、各試料となるサンプルの内容を説明する。つまり、コンデンサとして一般的な図14に示す積層コンデンサを従来例とし、図1に示す第1の実施の形態に係る積層コンデンサを実施例とした。

#### 【0073】

ここで、減衰特性の実測値と図12に示す積層コンデンサ100内の等価回路の減衰量とが合致するように、等価回路の定数を算出した。そして、図11に示す各試料の減衰特性のデータから、5MHz以上の高周波数の帯域における実施例の減衰量が、従来例に比べて約5dBほど増えていることが分かる。この為、このデータによって高周波特性の改善が実施例に見られることが理解できる。

他方、算出したESLに関しても、従来例の288.5pHに比べて実施例は172.7pHと大幅に低減されており、本発明の効果がこれらの値によっても実証されることが確認できた。

#### 【0074】

ここで用いた各試料の寸法に関し、図14及び図1に示すように長さW及び長さLは、従来例及び実施例共に $W=3.2\text{ mm}$ 、 $L=2.5\text{ mm}$ であった。また、試験に用いた各試料の静電容量は、従来例が10.03Fであり、実施例が9.25Fであった。

**【 0 0 7 5 】**

尚、上記実施の形態に係る積層コンデンサ 1 0 では、二種類の内部導体を有する構造とされているが、層数は実施の形態に示された数に限定されずさらに多数としても良い。

**【 0 0 7 6 】****【発明の効果】**

本発明によれば、実効インダクタンスを大幅に低減して C P U 用の電源の電圧変動を小さくできる積層コンデンサを提供することが可能となる。

**【図面の簡単な説明】****【図 1】**

本発明の第 1 の実施の形態に係る積層コンデンサを示す斜視透視図である。

**【図 2】**

本発明の第 1 の実施の形態に係る積層コンデンサの分解斜視図であって、この積層コンデンサの二種類の内部導体の部分をそれぞれ示す図である。

**【図 3】**

本発明の第 1 の実施の形態に係る積層コンデンサの実装構造を示す断面図である。

**【図 4】**

本発明の第 2 の実施の形態に係る積層コンデンサの二種類の内部導体の部分をそれぞれ示す平面図である。

**【図 5】**

本発明の第 3 の実施の形態に係る積層コンデンサの二種類の内部導体の部分をそれぞれ示す平面図である。

**【図 6】**

本発明の第 4 の実施の形態に係る積層コンデンサを示す斜視透視図である。

**【図 7】**

本発明の第 4 の実施の形態に係る積層コンデンサの二種類の内部導体の部分をそれぞれ示す平面図である。

**【図 8】**

本発明の第 5 の実施の形態に係る積層コンデンサの二種類の内部導体の部分をそれぞれ示す平面図である。

【図 9】

本発明の第 6 の実施の形態に係る積層コンデンサの二種類の内部導体の部分をそれぞれ示す平面図である。

【図 1 0】

本発明の第 7 の実施の形態に係る積層コンデンサの二種類の内部導体の部分をそれぞれ示す平面図である。

【図 1 1】

各試料の減衰特性を表すグラフを示した図である。

【図 1 2】

従来例の積層コンデンサを採用した回路図である。

【図 1 3】

従来例の積層コンデンサを採用した回路における電流変動と電圧変動との関係を表すグラフを示した図である。

【図 1 4】

第 1 の従来例に係る積層コンデンサを示す斜視図である。

【図 1 5】

第 1 の従来例に係る積層コンデンサの内部導体の部分を示す分解斜視図である。

【図 1 6】

従来例に係る積層コンデンサの第 1 の実装構造を示す断面図である。

【図 1 7】

従来例に係る積層コンデンサの第 2 の実装構造を示す断面図である。

【図 1 8】

第 2 の従来例に係る積層コンデンサを示す斜視透視図である。

【図 1 9】

第 2 の従来例に係る積層コンデンサの内部導体の部分を示す分解斜視図である。



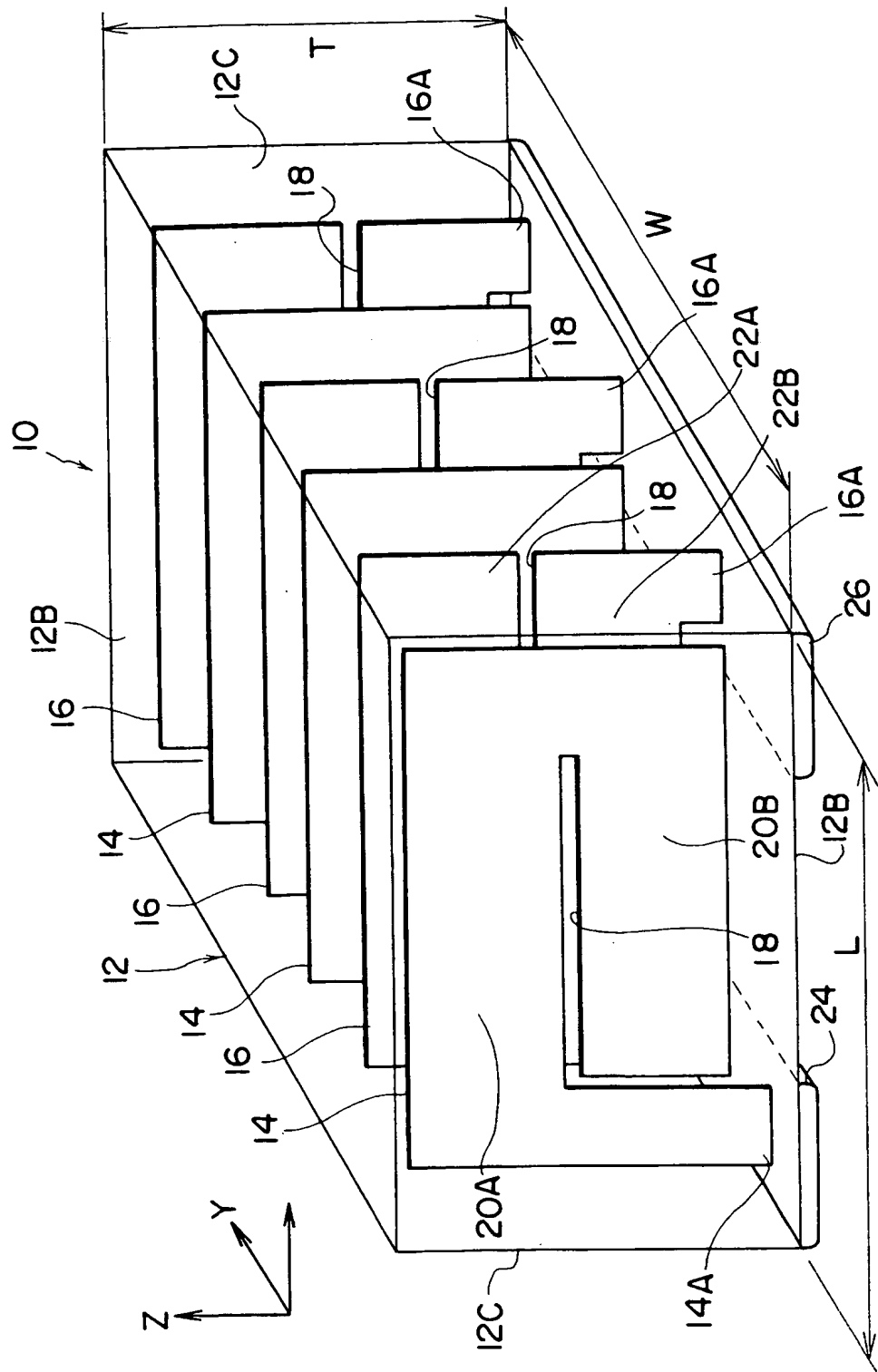
## 【図 2 0】

従来例に係る積層コンデンサの第 3 の実装構造を示す断面図である。

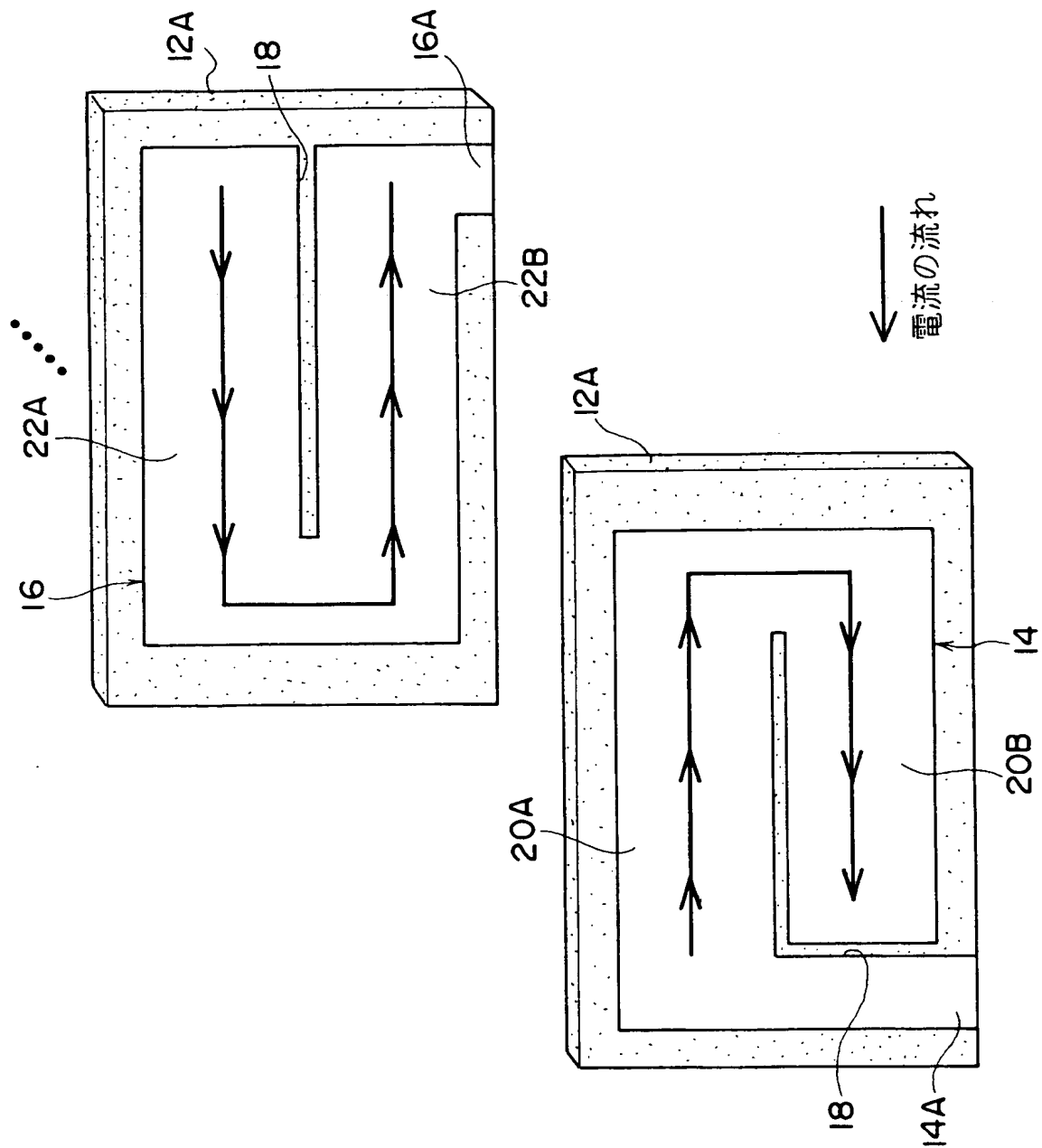
## 【符号の説明】

1 0	積層コンデンサ
1 2	誘電体素体
1 2 B	側面
1 2 C	側面
1 4	内部導体
1 6	内部導体
1 8	切込部
2 0 A、2 0 B、2 0 C、2 0 D	流路部
2 2 A、2 2 B、2 2 C、2 2 D	流路部
2 4	端子電極
2 6	端子電極
3 4	端子電極
3 6	端子電極

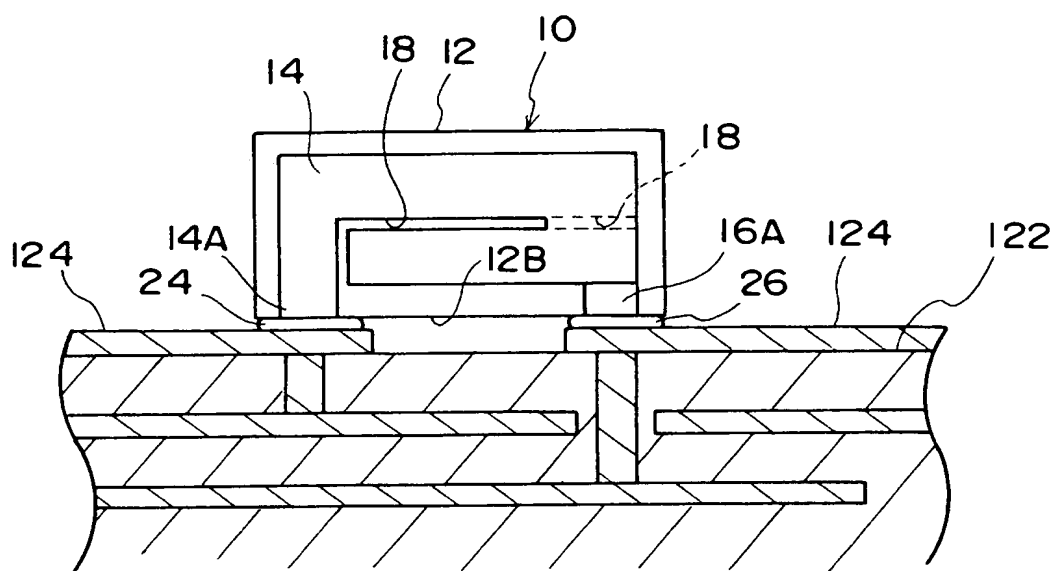
【書類名】 図面  
【図 1】



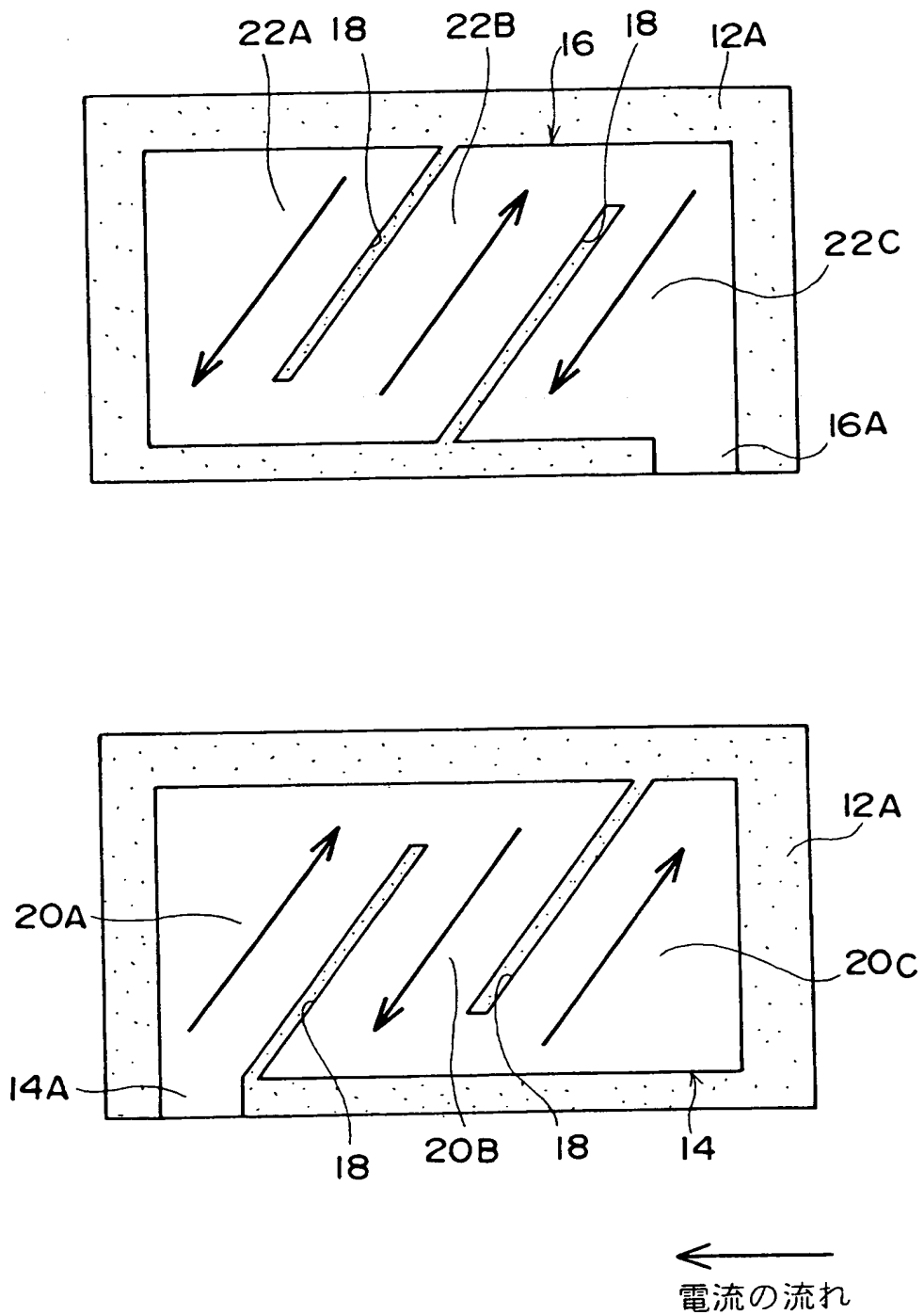
【図 2】



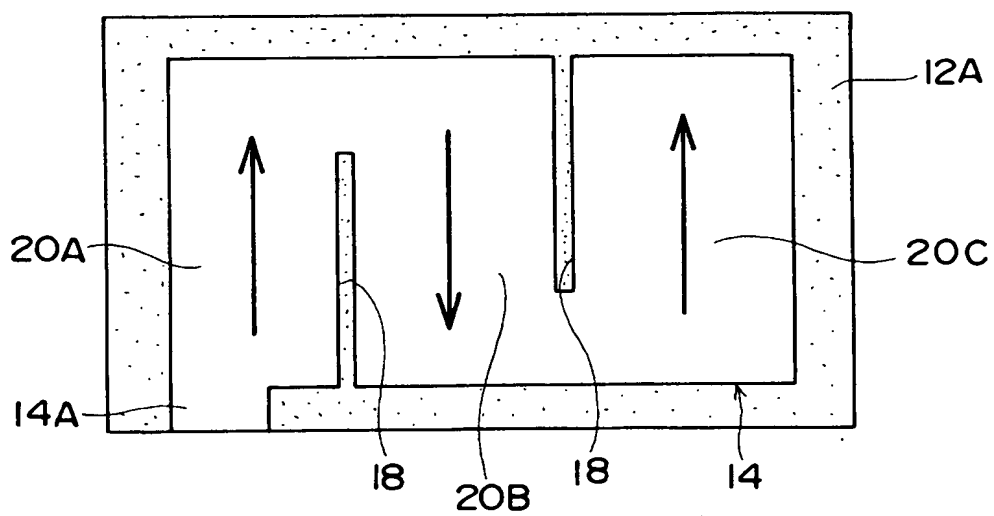
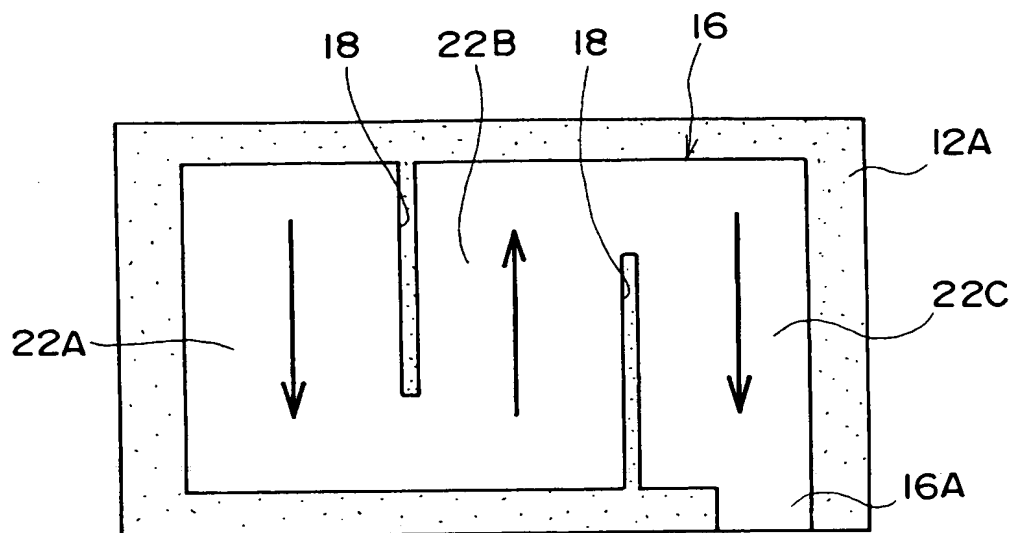
【図 3】



【図 4】

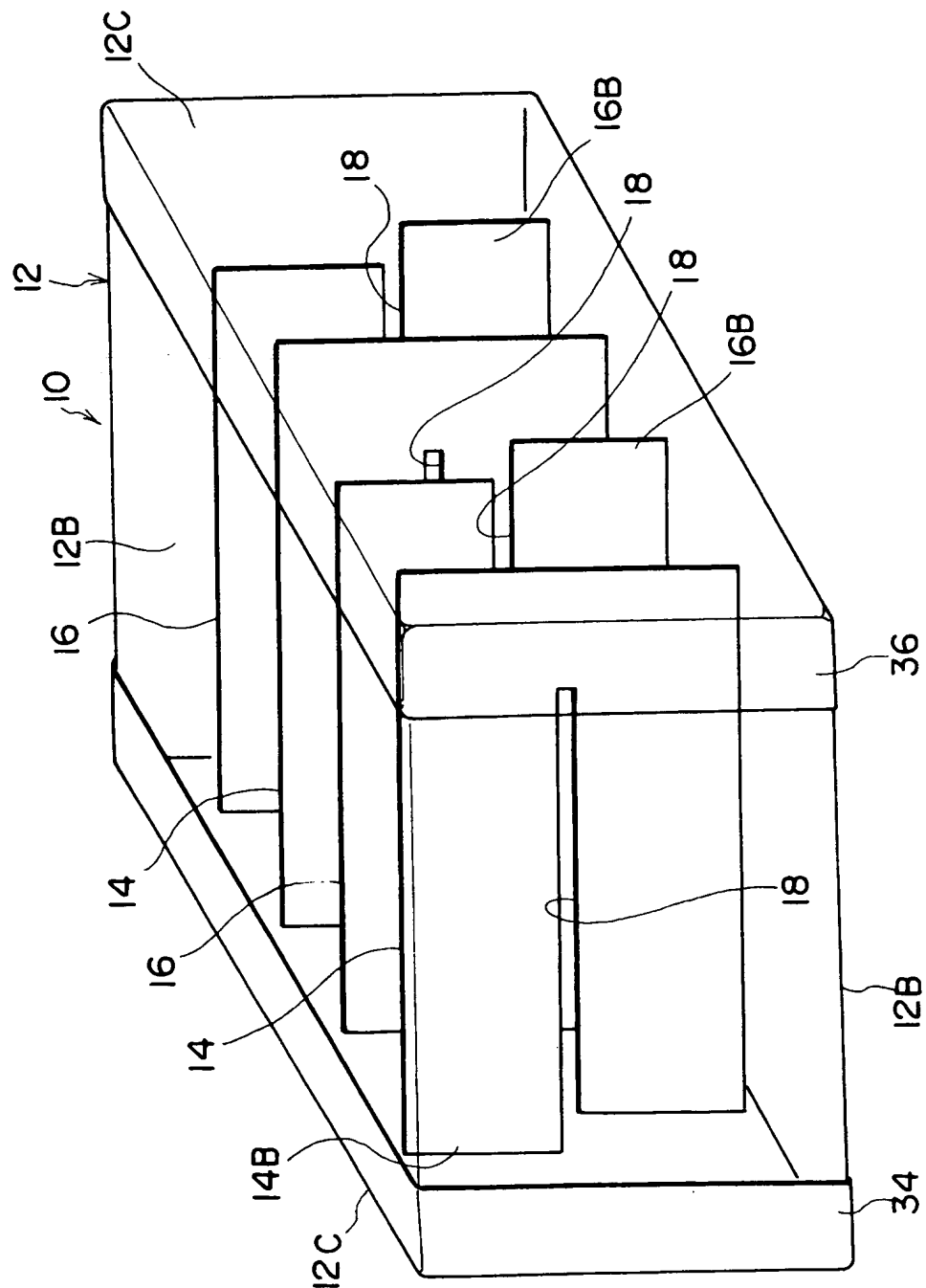


【図 5】

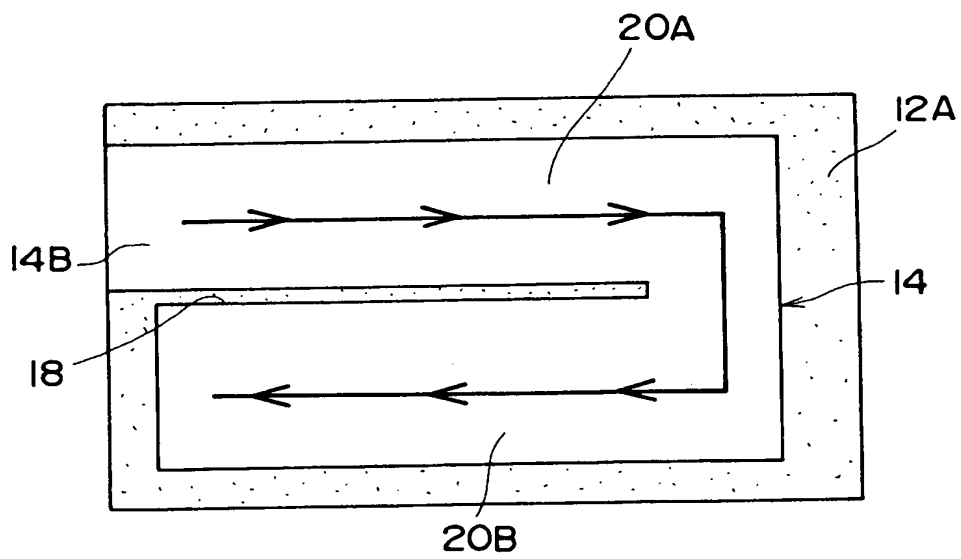
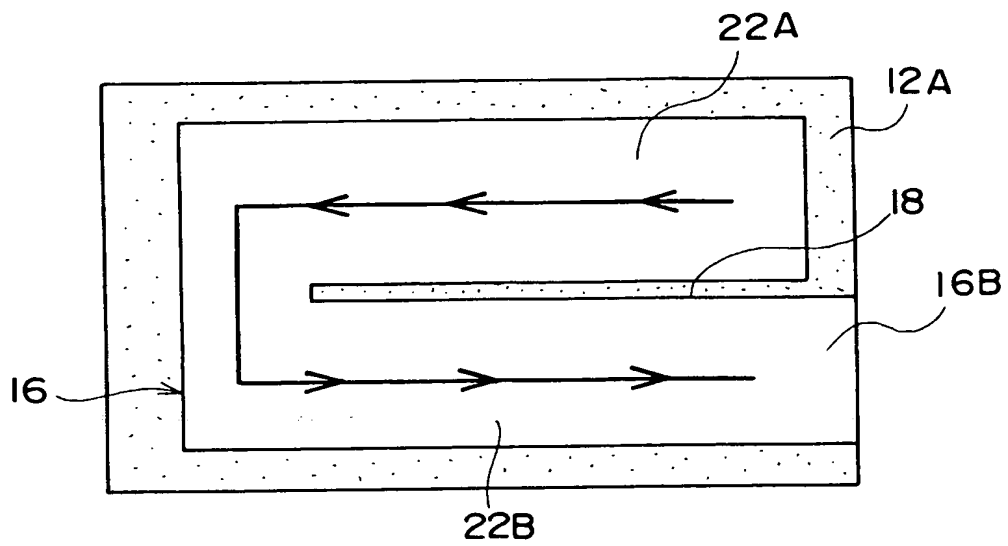


←  
電流の流れ

【図 6】



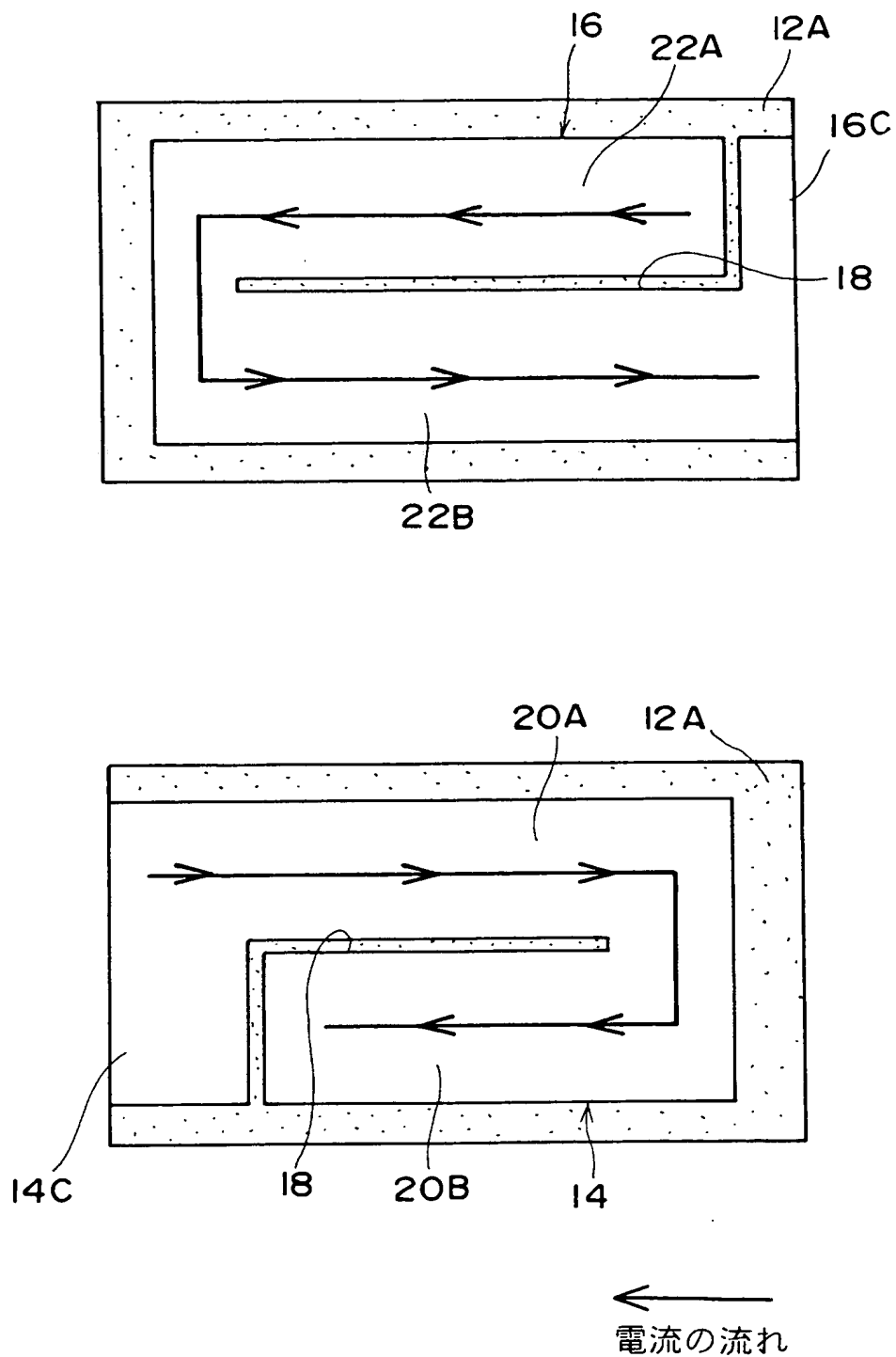
【図 7】



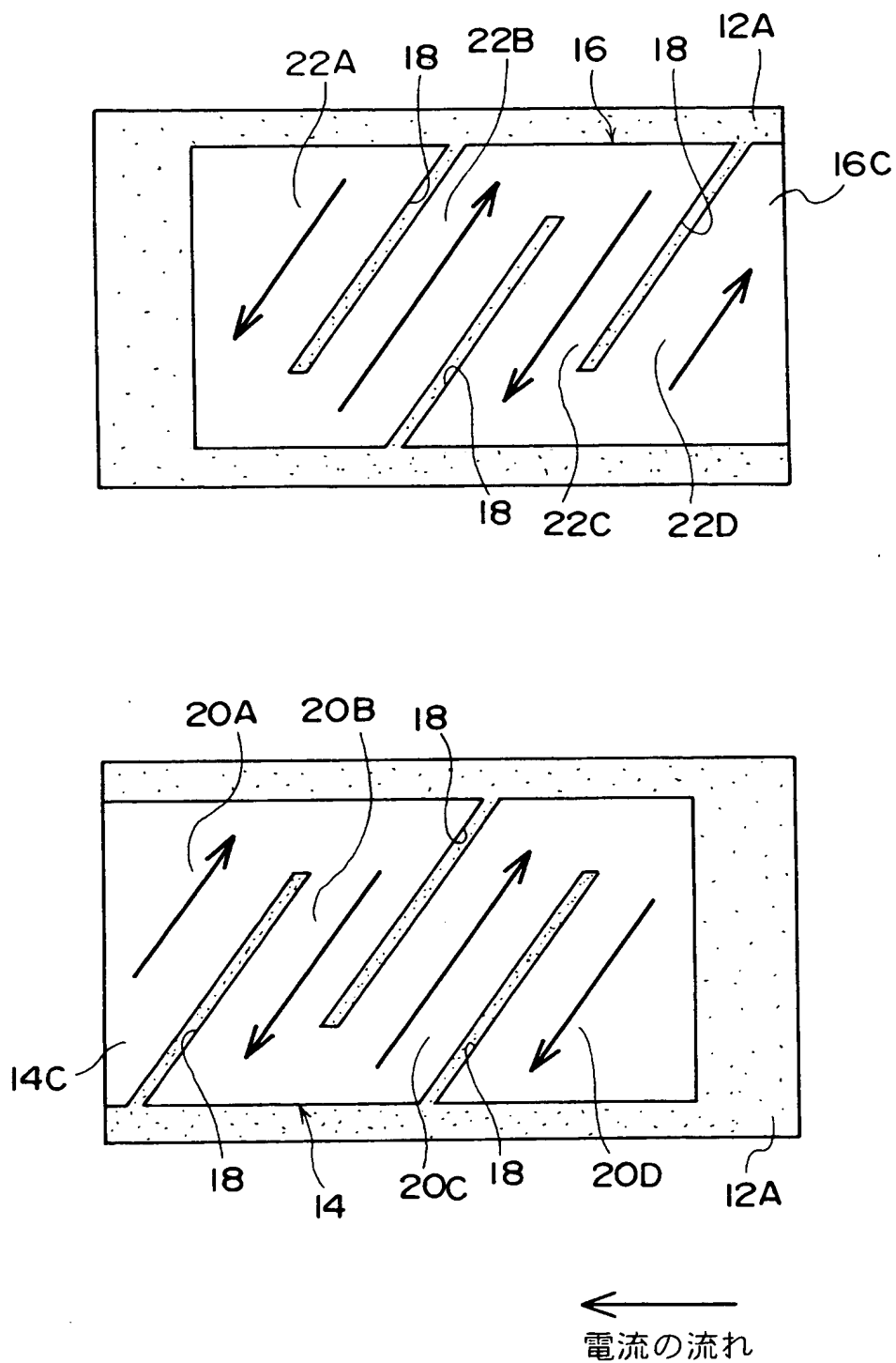
←  
電流の流れ



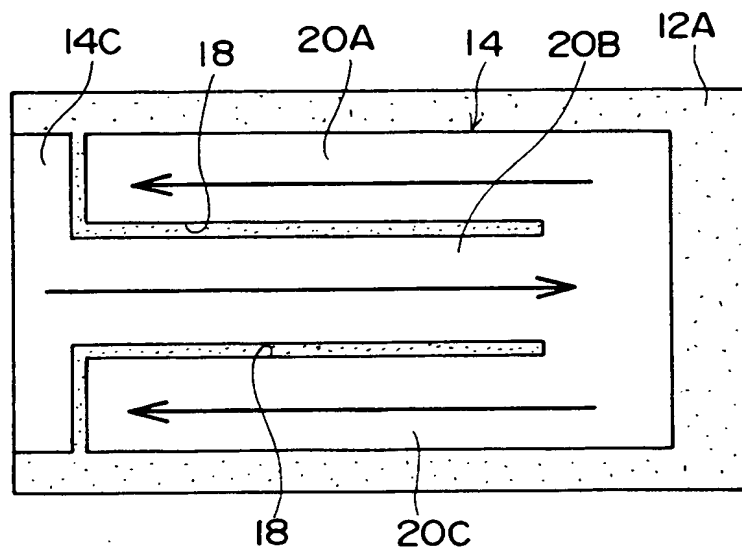
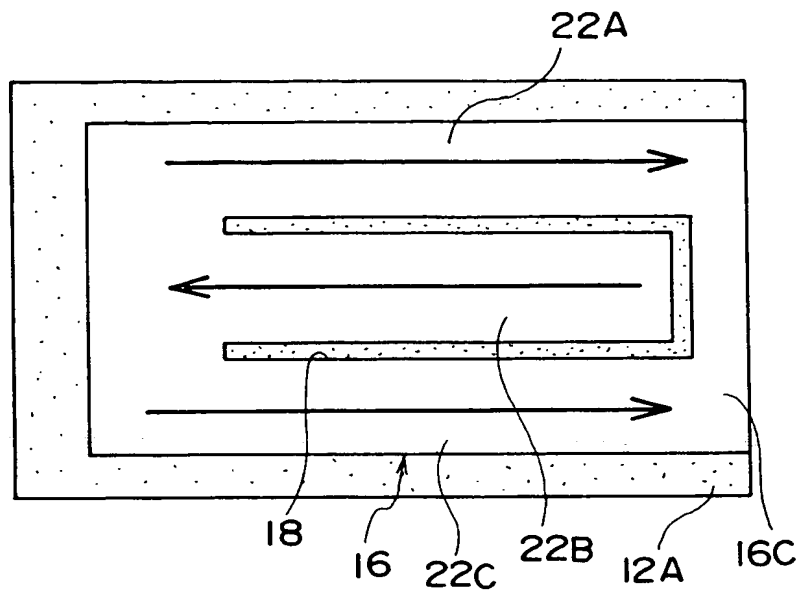
【図 8】



【図 9】

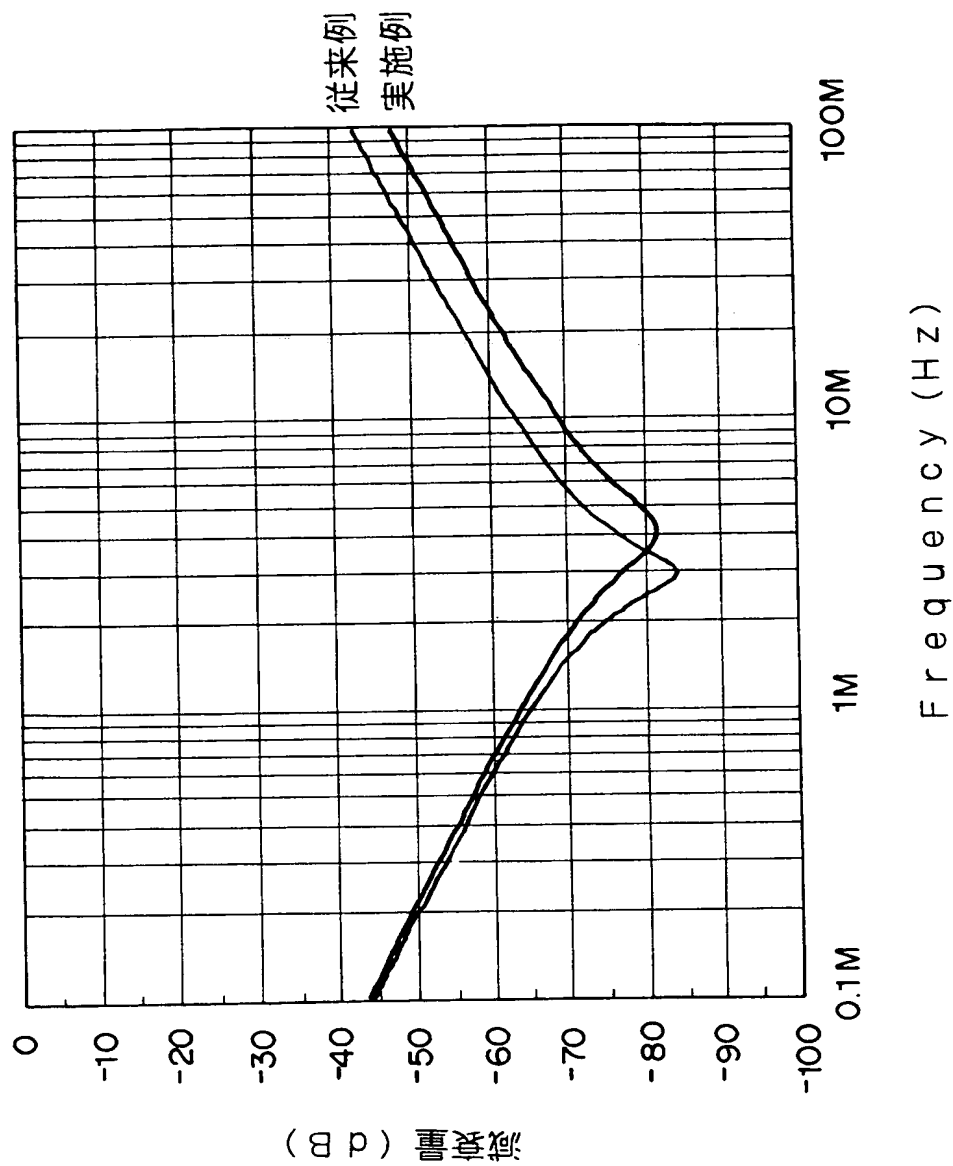


【図 10】

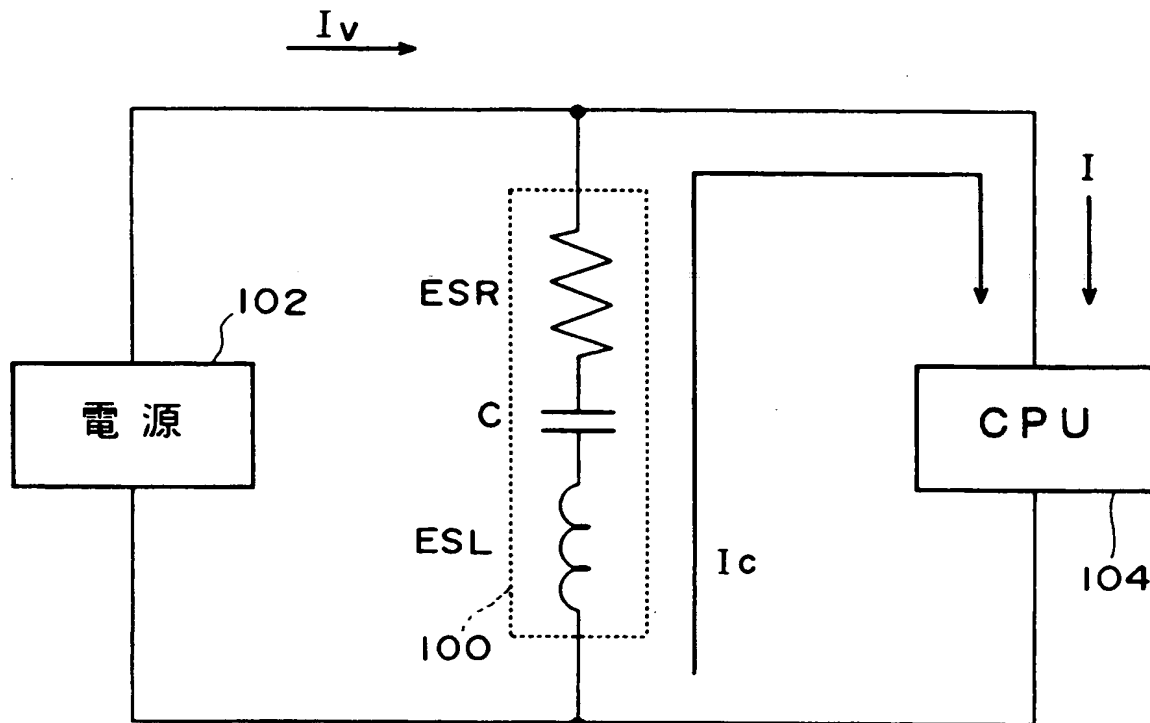


←  
電流の流れ

【図 11】

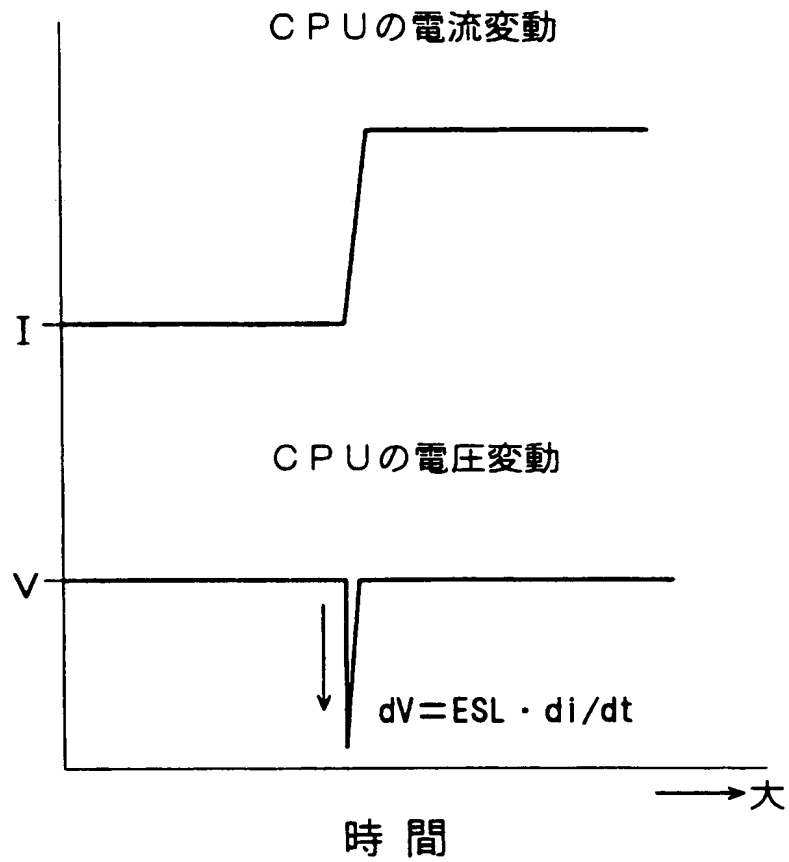


【図 12】

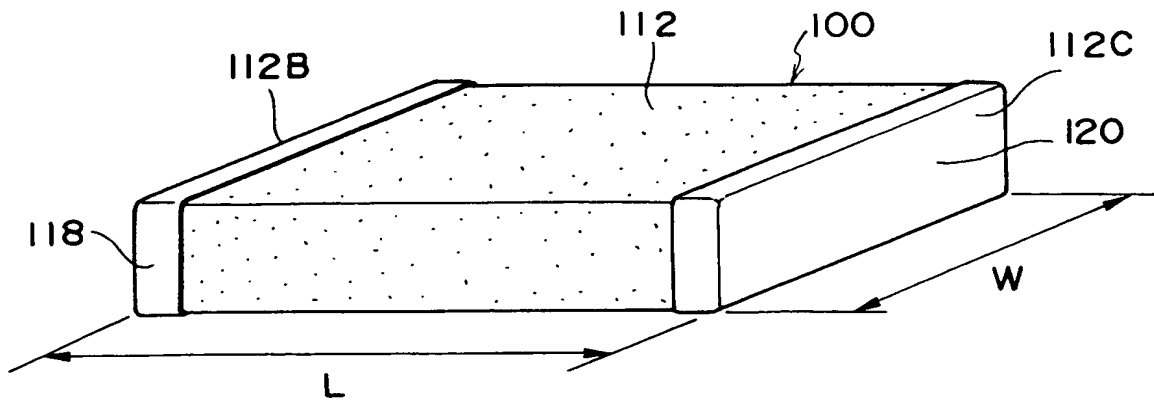


- $I$  : CPUの駆動電流
- $I_c$  : コンデンサからの放電電流
- $I_v$  : 電源からの電流
- $C$  : 静電容量
- ESR : 等価直列抵抗
- ESL : 等価直列インダクタンス

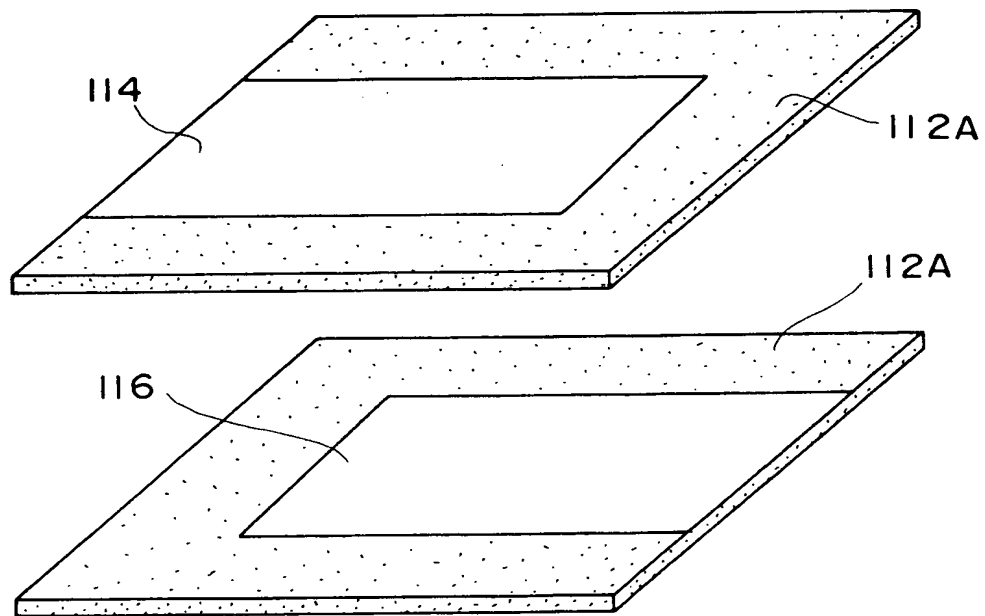
【図 13】



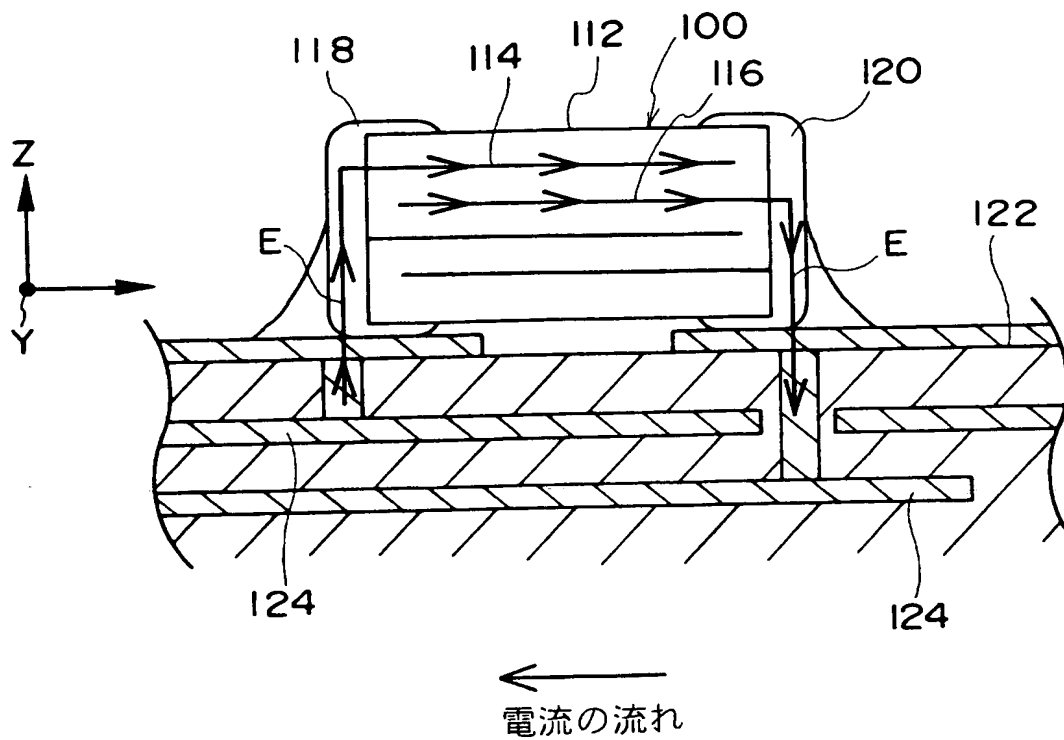
【図 14】



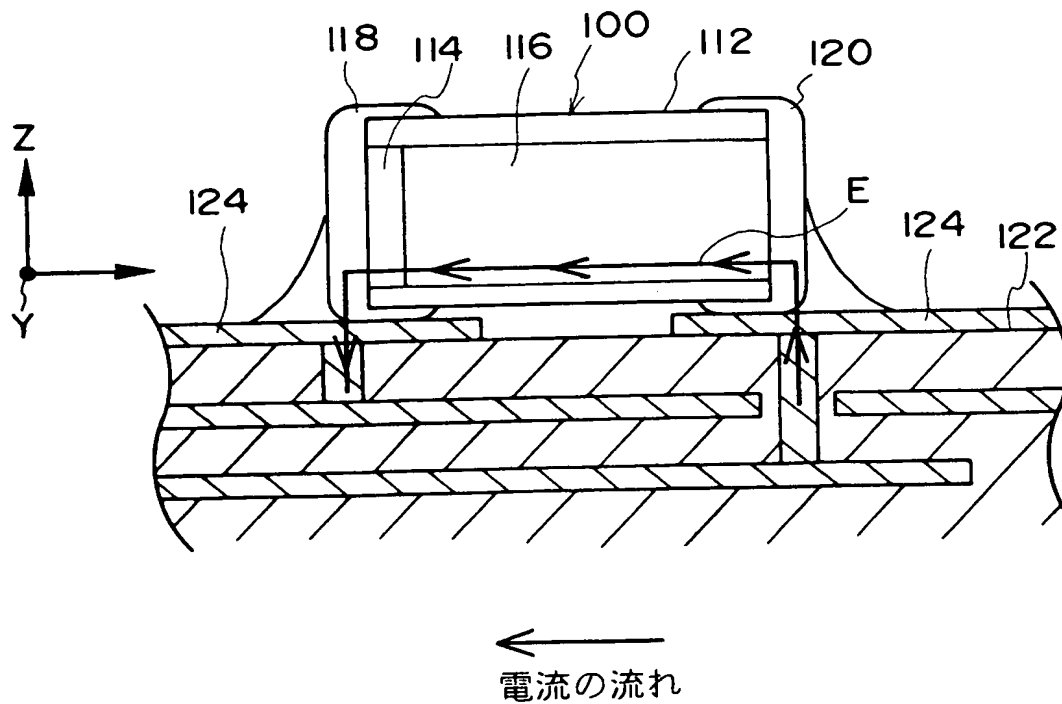
【図 15】



【図 16】

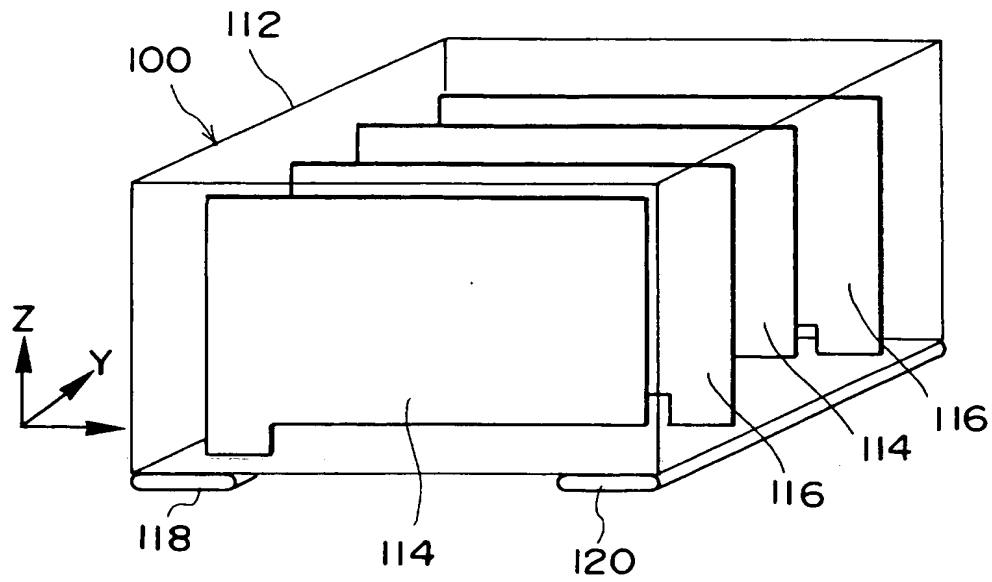


【図 17】

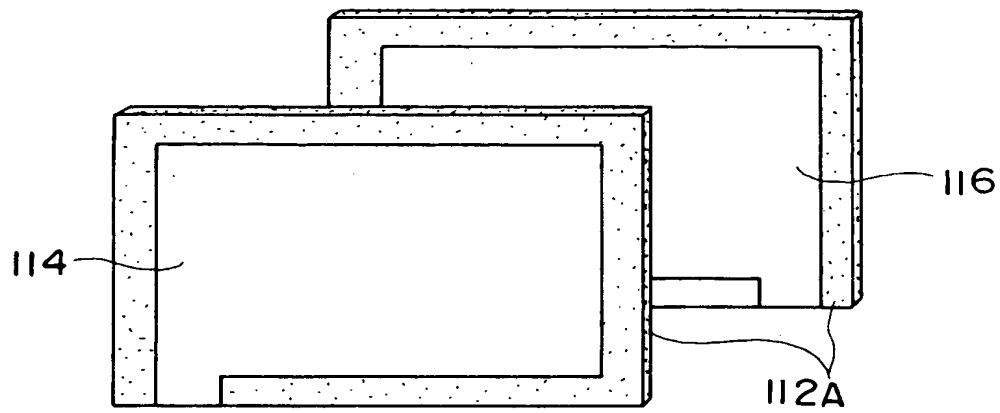




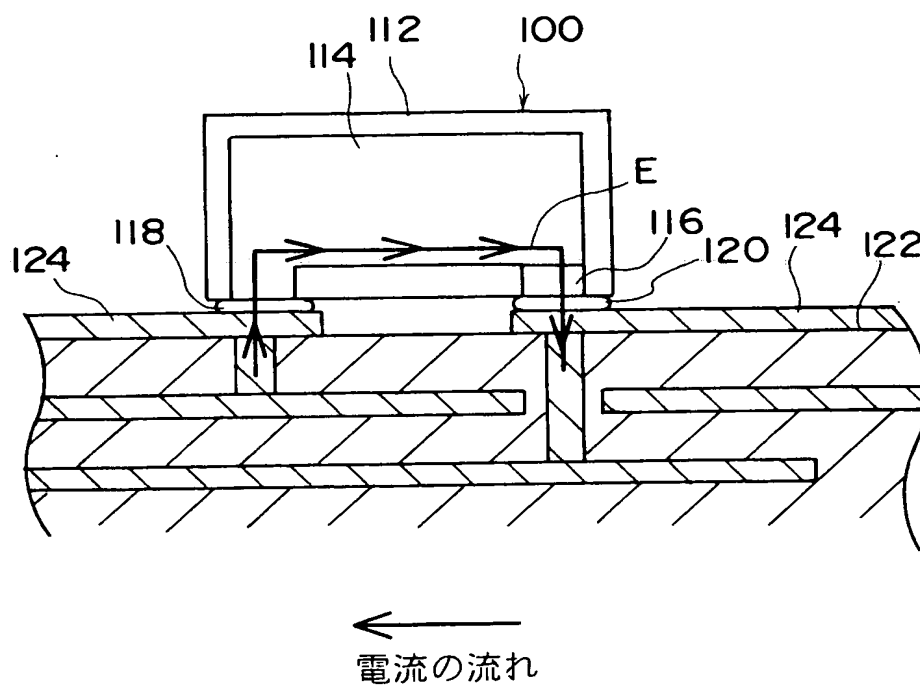
【図 18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 積層コンデンサの実効インダクタンスを大幅に低減してCPU用の電源の電圧変動を小さくする。

【解決手段】 誘電体素体 1 2 内に内部導体 1 4 が配置され、セラミック層を隔てた内部導体 1 4 の奥側に内部導体 1 6 が配置される。セラミック層の積層方向に沿った誘電体素体 1 2 の辺の長さ  $W$  は、積層方向（Y 軸方向）に沿った辺と交差する方向に沿った他の何れの二辺の長さ  $L$ 、 $T$  よりも、長くされる。各内部導体 1 4、1 6 に切込部 1 8 が形成され、切込部 1 8 を挟んだ内部導体 1 4 の部分を流路部 2 0 A、2 0 B が構成し、切込部 1 8 を挟んだ内部導体 1 6 の部分を流路部 2 2 A、2 2 B が構成している。

【選択図】 図 1

特願 2 0 0 3 - 0 3 9 2 7 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 6 7 ]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

ティーディーケイ株式会社

2. 変更年月日

2 0 0 3 年 6 月 2 7 日

[変更理由]

名称変更

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

T D K 株式会社